

【特許請求の範囲】

【請求項1】 主表面（1a）及び該主表面の反対面となる裏面（1b）を有し、前記半導体層（3～5）が形成されたシリコン基板（1）と、

前記半導体層に形成され、少なくとも2組の相対する側壁を有するように構成された第1のトレンチ（6）と、前記第1のトレンチ内壁を熱酸化することによって形成されたゲート酸化膜（7）と、

前記ゲート酸化膜上において、前記第1のトレンチ内を埋め込むように形成されたゲート電極（8）とを有し、前記第1のトレンチの少なくとも2組の側壁のうちの一

方にチャンネルを形成するように構成された第1のトレンチゲート型の半導体装置において、前記シリコン基板の前記主表面の面方位が（110）面を成し、前記チャンネルが形成される前記第1のトレンチの側壁が（100）面で構成されていることを特徴とするトレンチゲート型半導体装置。

【請求項2】 前記第1のトレンチの少なくとも2組の側壁のうち、前記チャンネルが形成される側とは異なる側は（110）面で構成されていることを特徴とする請求項1に記載のトレンチゲート型半導体装置。

【請求項3】 前記シリコン基板にはオリエンテーションフラットが形成され、該オリエンテーションフラットの面方位が（100）または（110）とされていることを特徴とする請求項1又は2に記載のトレンチゲート型半導体装置。

【請求項4】 前記第1のトレンチの少なくとも2組の側壁のうち、前記チャンネルが形成される側とは異なる側は（111）面で構成されていることを特徴とする請求項1に記載のトレンチゲート型半導体装置。

【請求項5】 前記第1のトレンチは、3組の相対する側壁を有して構成され、そのうちの1組が（100）面で構成され、残りの2組が（111）面で構成されていることを特徴とする請求項4に記載のトレンチゲート型半導体装置。

【請求項6】 前記シリコン基板にはオリエンテーションフラットが形成され、該オリエンテーションフラットの面方位が（100）、（111）、（110）、（112）のいずれかとされていることを特徴とする請求項4又は5に記載のトレンチゲート型半導体装置。

【請求項7】 前記第1のトレンチの深さが15μm以上となっていることを特徴とする請求項1ないし6のいずれか1つに記載のトレンチゲート型半導体装置。

【請求項8】 前記半導体層は、前記シリコン基板に形成した第2のトレンチ（2）内にエピタキシャル成長させた第1導電型のドリフト領域（3）、第2導電型のベース領域（4）および第1導電型のソース領域（5）とを有して構成され、

前記第1のトレンチは、少なくとも前記ドリフト領域と前記ソース領域との間に配置された前記ベース領域のう

ち、前記シリコン基板の深さ方向がチャンネル幅方向となるように、前記ソース領域から前記ベース領域を貫通して前記ドリフト領域に達するように形成されていることを特徴とする請求項1ないし7のいずれか1つに記載のトレンチゲート型半導体装置。

【請求項9】 主表面（1a）及び該主表面の反対面となる裏面（1b）を有し、前記半導体層（3～5）が形成されたシリコン基板（1）と、

前記半導体層に形成され、少なくとも2組の相対する側壁を有するように構成された第1のトレンチ（6）と、前記第1のトレンチ内壁に形成されたゲート酸化膜（7）と、

前記ゲート酸化膜上において、前記第1のトレンチ内を埋め込むように形成されたゲート電極（8）とを有し、前記第1のトレンチの少なくとも2組の側壁のうちの一

方にチャンネルを形成するように構成された第1のトレンチゲート型の半導体装置の製造方法において、前記シリコン基板として、基板面方位が（110）を成すものを用意する工程と、

前記シリコン基板に対し、少なくとも2組の相対する側壁のうち1組の面方位を（100）として前記第1のトレンチ（6）を形成する工程と、

前記第1のトレンチの内壁を熱酸化することでゲート酸化膜（7）を形成する工程とを有していることを特徴とするトレンチゲート型半導体装置の製造方法。

【請求項10】 前記第1のトレンチを形成する工程では、前記前記第1のトレンチの少なくとも2組の側壁のうち、前記チャンネルが形成される側とは異なる側を（110）面とすることを特徴とする請求項9に記載のトレンチゲート型半導体装置の製造方法。

【請求項11】 前記第1のトレンチを形成する工程では、前記前記第1のトレンチの少なくとも2組の側壁のうち、前記チャンネルが形成される側とは異なる側を（111）面とすることを特徴とする請求項9に記載のトレンチゲート型半導体装置の製造方法。

【請求項12】 前記第1のトレンチを形成する工程では、3組の相対する側壁を有して前記第1のトレンチを形成し、そのうちの1組を（100）面で構成し、残りの2組を（111）面で構成することを特徴とする請求項9に記載のトレンチゲート型半導体装置の製造方法。

【請求項13】 シリコン基板に第2のトレンチ（2）を形成する工程と、

前記第2のトレンチ内に第1導電型のドリフト領域

（3）、第2導電型のベース領域（4）、および第1導電型のソース領域（5）を順にエピタキシャル成長させることで、該第2のトレンチを埋め戻し、前記ドリフト領域、ベース領域およびソース領域によって前記半導体層を形成する工程と、

少なくとも前記ドリフト領域と前記ソース領域との間に配置された前記ベース領域のうち、前記シリコン基板の

深さ方向がチャネル幅方向となるように、前記ソース領域から前記ベース領域を貫通して前記ドリフト領域に達するように前記第1のトレンチを形成する工程と、を有していることを特徴とする請求項9ないし12のいずれか1つに記載のトレンチゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンウェハにトレンチゲートを形成するトレンチゲート型半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、トレンチ内にゲート電極が配置されるMOSFETやIGBT等などの絶縁ゲート型の半導体デバイスの製造には、基板面の面方位が(100)、かつオリエンテーションフラットの面方位が(110)であるシリコン基板が用いられていた。

【0003】このような場合、通常、トレンチゲートが埋め込まれるトレンチは、オリエンテーションフラットに対して平行または垂直方向の側壁を持つように形成されるため、その側壁面が(110)面となるが、(110)面での移動度が(100)面に比べて低いことから、(110)面にチャネルを形成するとチャネル抵抗が高くなって素子の低オン抵抗化に不利となる。

【0004】このため、特開平2-46716号公報に示されるように、面方位が(100)、かつオリエンテーションフラットの面方位が(100)であるシリコン基板を用い、トレンチゲートが埋め込まれるトレンチの側壁面を移動度の高い(100)面にして、チャネル抵抗を低減し、素子の低オン抵抗化を図っている。

【0005】

【発明が解決しようとする課題】シリコンを熱酸化してシリコン酸化膜を成長させる際には、酸化膜の成長速度に面方位依存性があることが一般に知られている。この面方位依存性は図7のように表される。この図から分かるように、(100)面は上述したように移動度が高くなる反面、酸化速度が最も遅くなる。逆に、(111)面や(110)面は、(100)面に比べて移動度が低い反面、酸化速度が速くなる。

【0006】従って、上記した特開平2-46716号公報で示された面方位を成すトレンチ、チャネルが形成される側壁および底部のすべてが(100)面となることから、トレンチ内の各面での移動度は高く、各面に形成される酸化膜の成長速度は同じとなる。

【0007】一方、トレンチ内に形成されるゲート酸化膜の耐圧は、通常チャネルとして使用する側壁よりも底部が高くなる方が耐圧設計の観点から好ましい。これは、底部においてゲート酸化膜の耐圧を向上させようとすると、チャネルとして使用する側壁におけるゲート酸化膜厚が大きくなって素子のオン抵抗を増大させてしま

うためである。

【0008】この観点について考えると、上記公報に示されるような面方位を設定すれば、酸化膜の成長速度の面方位依存性から、チャネルとして使用する側壁と底部のゲート酸化膜厚が等しくなって耐圧も高くなるため、耐圧設計上好ましい形態になると言える。

【0009】しかしながら、トレンチのアスペクト比を高くするような場合、例えばトレンチ深さを15 μm 以上とする場合には、熱酸化時にトレンチ底部まで十分に酸化ガスが供給されず、図8(a)に示すゲート酸化膜50の断面図のようにトレンチ51の入口近傍の厚みa'より底部側での厚みb'が薄くなり、底面における厚みc'が結局最も薄くなってしまふ。特に、上記公報で提案されているMOSトランジスタのように、基板の深さ方向をチャネル長とする素子の場合、低オン抵抗化を狙ってトレンチゲートの深さを深く、例えば15 μm 以上に設定することから、トレンチゲート底部におけるゲート酸化膜の薄膜化が顕著となる。

【0010】なお、上述したように基板面の面方位が(100)、かつオリエンテーションフラットの面方位が(110)であるシリコン基板においてトレンチゲートを形成する場合には、図8(b)に示すゲート酸化膜50の断面図に表されるように、トレンチ51の底面が成長速度の遅い(100)面になるため、この場合にも耐圧設計上好ましくない形態となる。

【0011】本発明は上記点に鑑みて、チャネルとして使用する側壁よりも底部の方がゲート酸化膜の耐圧を高めたトレンチゲート型半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、主表面(1a)及び該主表面の反対面となる裏面(1b)を有し、半導体層(3~5)が形成されたシリコン基板(1)と、半導体層に形成され、少なくとも2組の相対する側壁を有するように構成された第1のトレンチ(6)と、第1のトレンチ内壁を熱酸化することによって形成されたゲート酸化膜(7)と、ゲート酸化膜上において、第1のトレンチ内を埋め込むように形成されたゲート電極(8)とを有し、第1のトレンチの少なくとも2組の側壁のうちの一方にチャネルを形成するように構成された第1のトレンチゲート型の半導体装置において、シリコン基板の主表面の面方位が(110)面を成し、チャネルが形成される第1のトレンチの側壁が(100)面で構成されていることを特徴とする。

【0013】このような構成とすれば、第1のトレンチのうちチャネルが形成される部分となる面方位(100)の側壁よりも、その他の側壁や底面の方がゲート酸化膜の膜厚が厚くなる。このため、高い移動度のチャネルを形成できると共に、ゲート酸化膜の部分的な薄膜化

による耐圧低下も防止することができる。

【0014】トレンチのうちチャンネルが形成される側壁とは異なる側壁の面方位は、例えば請求項2に示すように(110)面とされる。このような面方位であれば、チャンネルが形成される部分となる面方位(100)よりもゲート酸化膜の成長速度を大きくすることができる。この場合、請求項3に示すように、シリコン基板に面方位が(100)または(110)のオリエンテーションフラットを形成することで、オリエンテーションフラットの面方位がトレンチの側壁の面方位と垂直又は平行となるため、トレンチ形成時のマスク合わせを容易に行うことができる。

【0015】また、トレンチのうちチャンネルが形成される側壁とは異なる側壁の面方位は、例えば請求項4に示すように(111)面とされる。このような面方位であっても請求項2と同様の効果を得ることができる。さらにこの場合、請求項5に示すように、第1のトレンチを3組の相対する側壁で構成し、そのうちの1組を(100)面で構成し、残りの2組を(111)面するようにしてもよい。このようにトレンチを略六角形状にすれば、トレンチの各角部が鈍角になるため、各角部での電界集中を防止することができる。

【0016】そして、これらの場合においても、請求項6に示すように、シリコン基板に面方位が(100)、(111)、(110)、(112)いずれかのオリエンテーションフラットを形成することで、請求項3と同様の効果を得ることができる。

【0017】なお、請求項1ないし6に記載の発明は、第1のトレンチが高アスペクト比とされるような場合、例えば、請求項7に示すように第1のトレンチの深さが15 μm 以上とされるような場合に適用すると好適である。

【0018】請求項8に記載の発明では、半導体層は、シリコン基板に形成した第2のトレンチ(2)内にエピタキシャル成長させた第1導電型のドリフト領域(3)、第2導電型のベース領域(4)および第1導電型のソース領域(5)とを有して構成され、第1のトレンチは、少なくともドリフト領域とソース領域との間に配置されたベース領域のうち、シリコン基板の厚み方向がチャンネル幅方向となるように、ソース領域からベース領域を貫通してドリフト領域に達するように形成されていることを特徴としている。このように、チャンネル幅方向がシリコン基板の厚み方向とされるようなトレンチゲート型半導体装置に本発明を提供することができる。

【0019】請求項9に記載の発明では、シリコン基板(1)として、基板面方位が(110)を成すものを用意する工程と、シリコン基板に対し、少なくとも2組の相対する側壁のうちの1組の面方位を(100)として第1のトレンチ(6)を形成する工程と、第1のトレンチの内壁を熱酸化することでゲート酸化膜(7)を形成

する工程とを有していることを特徴としている。

【0020】このように、シリコン基板の基板面方位を(110)にすると共に、第1のトレンチのうちチャンネルが形成される部分の面方位を(100)とすれば、トレンチのうちチャンネルが形成される部分の側壁よりも、その他の側壁や底面の方がゲート酸化膜の膜厚が厚くなる。このため、高い移動度のチャンネルを形成できると共に、ゲート酸化膜の部分的な薄膜化による耐圧低下も防止することができる。

10 【0021】例えば、請求項10や請求項11に示すように、トレンチのうちチャンネルが形成される側壁とは異なる側壁の面方位を(110)面や(111)面とすることができる。これらの面方位とすれば、チャンネルが形成される部分となる面方位(100)よりもゲート酸化膜の成長速度を大きくすることができる。

【0022】請求項13に記載の発明では、シリコン基板に第2のトレンチ(2)を形成する工程と、第2のトレンチ内に第1導電型のドリフト領域(3)、第2導電型のベース領域(4)、および第1導電型のソース領域(5)を順にエピタキシャル成長させることで、該第2のトレンチを埋め戻し、ドリフト領域、ベース領域およびソース領域によって半導体層を形成する工程と、少なくともドリフト領域とソース領域との間に配置されたベース領域のうち、シリコン基板の深さ方向がチャンネル幅方向となるように、ソース領域からベース領域を貫通してドリフト領域に達するように第1のトレンチを形成する工程とを有していることを特徴としている。

【0023】このように製造されるトレンチゲート型半導体装置、つまりチャンネル幅方向がシリコン基板の厚み方向とされるようなトレンチゲート型半導体装置に本発明を提供することができる。

【0024】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0025】

【発明の実施の形態】(第1実施形態)本発明の一実施形態が適用されて形成されたトレンチゲート型のパワーMOSFETの上面図を図1に示し、図1に示す一点鎖線部における断面構成を図2に示す。これらの図に基づいて本実施形態におけるパワーMOSFETの製造方法を説明する。

【0026】本実施形態に示す半導体装置としてのパワーMOSFETは、基板面方位が(110)を成し、(110)面のオリエンテーションフラットが備えられたシリコン基板1に形成されている。以下、このn⁺型のシリコン基板1をn⁺型基板といい、このn⁺型基板の一面側を主表面1a、その反対面を裏面1bという。

【0027】パワーMOSFETは、図2中の矢印で示すX方向がn⁺型基板1の厚み方向(主表面1a及び裏面1bに対して垂直な方向)に対応しており、Y方向及

びZ方向がn⁺型基板1の主表面1a及び裏面1bと平行な方向に対応している。なお、図のX方向、Y方向、Z方向はそれぞれが互いに垂直を成している。

【0028】n⁺型基板1の主表面1aから所定深さまでトレンチ2が形成されており、このトレンチ内にn⁺型ドリフト層3が埋め込まれている。また、n⁺型ドリフト層3内の所定領域には、n⁺型基板1の主表面1aから所定深さまでp型ベース領域（p型ウェル領域）4が形成されている。このp型ベース領域4の深さは例えば15μm以上とされるが、若干n⁺型ドリフト層3より

も浅くされている。【0029】また、p型ベース領域4内において、n⁺型基板1の主表面1aからp型ベース領域4よりも接合深さが浅い位置までn⁺型ソース領域5が形成されている。このn⁺型ソース領域5の深さは15μm以上とされるが、若干p型ベース領域4よりも浅くされている。

【0030】さらに、n⁺型基板1の主表面1aから垂直に、つまりX方向に略平行にトレンチ6が掘られている。このトレンチ6は、上面から見ると略長方形状を成しており、2組の相対する側壁の一方の組が（100）面、もう一方の組が（110）面を成し、底面が（110）面を成している。そして、このトレンチ6は、n⁺型基板1の主表面1aと平行をなすY方向及びトレンチ5の深さ方向と平行をなすX方向の両方向において、n⁺型ソース領域5からp型ベース領域4を貫通するように形成されている。

【0031】また、トレンチ6の表面には熱酸化によりゲート酸化膜7が形成されている。図3（a）、（b）は、それぞれ図1のA-A断面及びB-B断面を示しており、トレンチ6の側壁および底面におけるゲート酸化膜7の厚みを詳細に示したものである。これらの図に示されるように、ゲート酸化膜7は、（100）面を成したトレンチ側壁上に形成された部分の厚みaが（110）面を成したトレンチ側壁およびトレンチ底面上に形成された部分の厚みbよりも厚く構成されている。このゲート酸化膜7上にはゲート電極8が形成されており、ゲート酸化膜7及びゲート電極8によってトレンチ6の内部が埋め込まれた構成となっている。なお、これらのゲート電極構造は、図1及び図2においては2つしか表

わされていないが、実際には図2中Z方向に複数個形成されている。【0032】そして、n⁺型基板1の主表面1a側に、ゲート電極に接続されるゲート配線やn⁺型ソース領域5およびp型ベース領域4に接続されるソース電極が形成され、裏面1b側に、ドレイン領域となるn⁺型基板1に接続されるドレイン電極が形成されている。このようにして本実施形態におけるパワーMOSFETが構成されている。

【0033】このような構成のパワーMOSFETは、ゲート電極8に所望の電圧が印加されると、p型ベース

領域4のうちゲート酸化膜7に接する部分、つまりp型ベース領域4のうちトレンチ6の側壁を構成する部分にチャンネルが形成され、このチャンネルおよびn⁺型ドリフト層3を介してn⁺型ソース領域4とドレイン領域（n⁺型基板1）との間で電流を流すようになっている。

【0034】このとき、本実施形態ではトレンチ6の側壁のうちチャンネルが形成される部分の面方位を（100）としているため、高い移動度を確保することができる。このため、パワーMOSFETのオン抵抗の低減を図ることが可能となる。

【0035】また、ゲート酸化膜7は、（100）面を成すトレンチ側壁上に形成された部分が（110）面を成すトレンチ側壁及びトレンチ底面上に形成された部分よりも薄くなるように構成してあり、チャンネル形成に使用される部分よりも薄くなる箇所が存在しないように構成されている。このため、ゲート酸化膜7の部分的な薄膜化による耐圧低下も防止することができる。

【0036】従って、上記構成のパワーMOSFETとすることで、パワーMOSFETの低オン抵抗化と高耐圧とを両立することが可能となる。

【0037】続いて、本実施形態に示すパワーMOSFETの製造方法の一例を説明する。まず、基板面方位が（110）を成し、（110）面のオリエンテーションフラットが備えられたn⁺型基板1を用意する。そして、n⁺型基板1に対してトレンチ2を形成したのち、n⁺型基板1の主表面1a側に形成したトレンチ2内が埋め込まれるようにn⁺型ドリフト層3となるn⁺型層、p型ベース領域4となるp型層およびn⁺型ソース領域5となるn⁺型層を順にエピタキシャル成長させる。

【0038】その後、n⁺型基板1の主表面1aが露出するまでn⁺型層、p型層およびn⁺型層をエッチバックしたのち、主表面1a側からTMAHによるウェットエッチングによりトレンチ6を形成する。具体的には、2組の相対するトレンチ側壁の一方の組が（100）面、もう一方の組が（110）面を成すようにマスク合わせしてトレンチ6の形成を行う。これにより、トレンチ6は、側壁が主表面1aに対して垂直を成すように形成され、側壁が上記面方位を成し、底面が主表面1aと同じ（110）面を成すように形成される。

【0039】なお、このトレンチ6の形成工程においては、n⁺型基板1に形成されたオリエンテーションフラットが（110）面を成していることから、この部分に対して垂直もしくは平行を成すようにマスク合わせをすればよいから、マスク合わせを容易に行うことができる。

【0040】続いて、熱酸化によりトレンチ6内にゲート酸化膜7を形成する。このとき、トレンチ6のうちチャンネルが形成される部分となる側壁の面方位が（100）とされ、その他の側壁及び底面の面方位が（110）とされているため、図3（a）、（b）に示される

ように、チャネルが形成される部分となる側壁よりもその他の側壁及び底面の方がゲート酸化膜7の成長速度が早くなり厚く形成される。またこのときにもトレンチ6が高アスペクト比になるとトレンチ底面まで酸化ガスの供給が十分に成されなくなると言えるが、酸化ガスの供給量が少なくても元々の酸化膜成長速度の面方位依存性から、十分にチャネルが形成される部分となる側壁よりもその他の側壁及び底面の方が形成されるゲート酸化膜7の厚さが厚くなる。

【0041】この後、ゲート酸化膜7の上にポリシリコン層を成膜したのち、ポリシリコン層をパターニングすることでゲート電極8を形成し、さらに、主表面1a側にソース電極を形成すると共に、裏面1b側にドレイン電極を形成することで、パワーMOSFETが製造される。

【0042】以上説明したように、基板面方位が(110)を成すn⁺型基板1を用意し、トレンチ6のうちチャネルが形成される側壁が(100)面にすると共に、他の側壁が(110)面となるようにすることで、ゲート酸化膜7の膜厚を上記関係とすることができる。

【0043】このため、チャネルの高い移動度を確保できると共に、ゲート酸化膜7の部分的な薄膜化による耐圧低下も防止することができる。これにより、パワーMOSFETの低オン抵抗化と高耐圧とを両立することが可能となる。

【0044】(第2実施形態)本実施形態におけるパワーMOSFETの上面図を図4に示し、図4のC-C断面およびD-D断面を図5(a)、(b)のそれぞれに示す。なお、本実施形態においては、n⁺型基板1に形成したオリエンテーションフラットの面方位およびトレンチ6のレイアウト構成のみが第1実施形態と異なり、パワーMOSFETの基本構成は同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0045】上記第1実施形態では、オリエンテーションフラットの面方位を(110)としているが、本実施形態ではオリエンテーションフラットの面方位を(111)としている。ただし、n⁺型基板1の基板面方位に関しては、第1実施形態と同様(110)面としている。そして、第1実施形態では、トレンチ6の側壁が(100)面と(110)面を成すようにしてトレンチ6の上面形状が略長方形となるようにしているが、本実施形態では、トレンチ6の側壁が(100)面と(111)面を成すようにしてトレンチ6の上面形状が略平行四辺形となるようにしている。そして、トレンチ6のうち(100)面となる側壁にチャネルが形成される構成としている。

【0046】このようにトレンチ6を形成した場合、トレンチ6の内壁に形成されるゲート酸化膜7の成長速度は、トレンチ6のうちチャネルが形成される側壁よりもその他の側壁及び底面の方が早くなる。このため、図5

(a)、(b)に示されるように、ゲート酸化膜7は、トレンチ6のうち(100)面となる側壁上の厚みaよりも、(110)面となる底面上の厚みbや(111)面となる側壁上の厚みcの方が十分に厚くなる。

【0047】従って、このようにトレンチ6の側壁が(100)面と(111)面となるようにしても、第1実施形態と同様にチャネルの高い移動度を確保できると共に、ゲート酸化膜7の部分的な薄膜化による耐圧低下も防止することができる。これにより、パワーMOSFETの低オン抵抗化と高耐圧とを両立することが可能となる。

【0048】また、オリエンテーションフラットを(111)面とすることで、トレンチ6のマスク合わせの際にオリエンテーションフラットを基準とすれば良いため、容易にマスク合わせを行うことができる。

【0049】(第3実施形態)本実施形態におけるパワーMOSFETの上面図を図6に示す。本実施形態は、トレンチ6のレイアウト構成のみを第2実施形態と異ならせたものである。

【0050】上記第2実施形態では、トレンチ6の側壁を(100)面と(111)面とし、トレンチ6の上面形状が略平行四辺形となるようにしているが、本実施形態では、上面形状が六角形となるようにし、3組の相対する側壁のうち1組を(100)面、残り2組を(111)面としている。

【0051】このような構成とした場合においてもゲート酸化膜7の膜厚の関係は第2実施形態と同様であるが、第2実施形態に示した略平行四辺形を成すトレンチ6の鋭角部分が図5中に示すような鈍角となる。このため、トレンチ6を鋭角にした場合に発生しうる電界集中を防止することも可能となる。これにより、よりゲート酸化膜7の耐圧低下を防止することができる。

【0052】(他の実施形態)上記第1ないし第3実施形態では、n⁺型基板1の基板面方位とトレンチ6のうちチャネルが形成される側壁の面方位以外の構成についても具体的に説明してあるが、少なくともn⁺型基板1の基板面方位とトレンチ6のうちチャネルが形成される側壁の面方位が上記関係となっていれば、パワーMOSFETの低オン抵抗化と高耐圧とを両立することが可能となる。

【0053】また、上記各実施形態では、トレンチゲート型の半導体装置としてチャネルが深さ方向に形成されるパワーMOSFETを例に挙げて説明したが、図1のn⁺型基板1をp⁺型に変更することで構成されるIGBT、溝ゲートの縦型パワーMOSFETやIGBT等に適用することも可能である。

【0054】また、上記第2、第3実施形態では、オリエンテーションフラットの面方位を(111)としているが、トレンチ6の各辺に対して平行もしくは垂直になる面方位であれば、どのような面方位であっても良い。

10

20

30

40

50

12

*【図5】図4に示すパワーMOSFETのゲート酸化膜7の断面構成を示す図である。

【図6】本発明の第3実施形態におけるパワーMOSFETの上面図である。

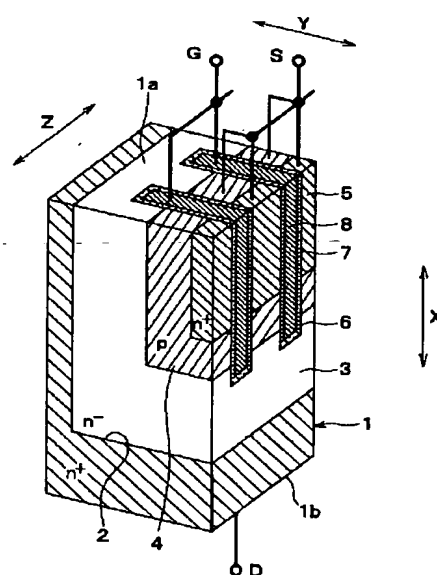
【図7】熱酸化膜の成長速度の面方位依存性を示す特性図である。

【図8】従来のトレンチ構造で形成したときのゲート酸化膜50の断面構成を示す図である。

【符号の説明】

10 1…n⁺型基板、3…n⁻型ドリフト層、4…p型ベース
領域、5…n⁺型ソース領域、6…トレンチ、7…ゲー
ト酸化膜、8…ゲート電極。

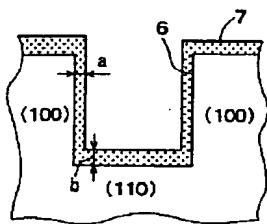
【圖2】



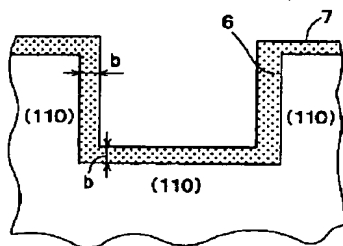
Time (min)	THK-SiO ₂ (Å) (Circles)	THK-SiO ₂ (Å) (Triangles)	THK-SiO ₂ (Å) (Squares)
0	0	0	0
50	60	50	40
100	120	100	80
150	180	150	120
200	240	200	160
250	300	250	200
300	360	300	240
350	420	350	280
400	480	400	320
450	540	450	360
500	600	500	400
550	660	550	440
600	720	600	480
650	780	650	520
700	840	700	560

(100) (●), (110) (▲), (111) (■)
各シリコン結晶方位に対する800℃,
ドライ酸化における酸化膜成長の様子

【図3】

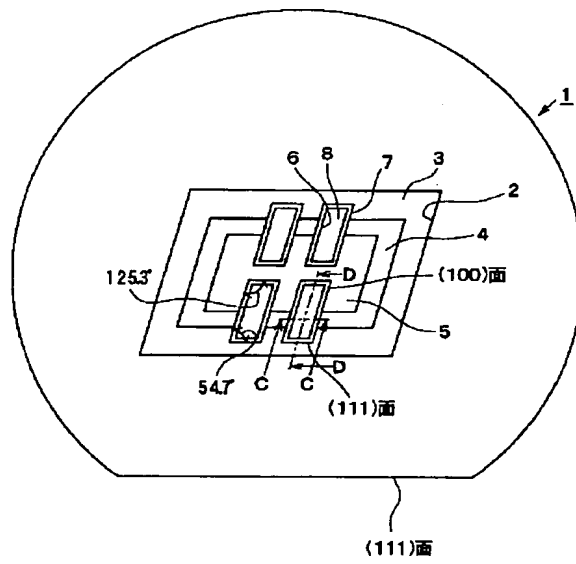


(a)

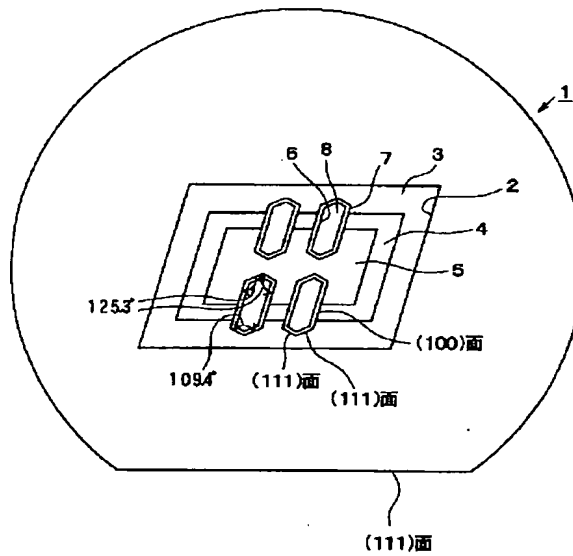


(b)

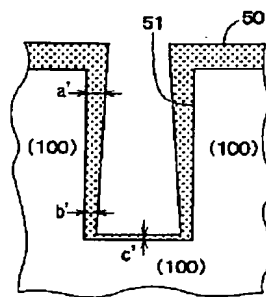
【図4】



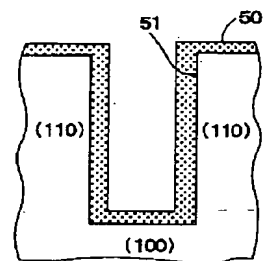
【図6】



【図8】

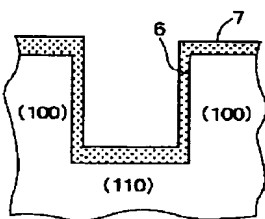


(a)

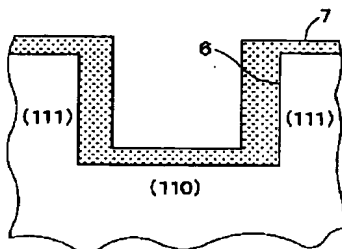


(b)

【図5】



(a)



(b)

フロントページの続き

(72)発明者 浦上 泰
愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

(72)発明者 森下 敏之
愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成15年8月29日(2003. 8. 29)

【公開番号】特開2002-231948(P2002-231948A)

【公開日】平成14年8月16日(2002. 8. 16)

【年通号数】公開特許公報14-2320

【出願番号】特願2001-29975(P2001-29975)

【国際特許分類第7版】

H01L 29/78 653
652

【F1】

H01L 29/78 653 C
652 K
652 T

【手続補正書】

【提出日】平成15年5月23日(2003. 5. 23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】また、トレンチ6の表面には熱酸化によりゲート酸化膜7が形成されている。図3(a)、(b)は、それぞれ図1のA-A断面及びB-B断面を示しており、トレンチ6の側壁および底面におけるゲート酸化

膜7の厚みを詳細に示したものである。これらの図に示されるように、ゲート酸化膜7は、(110)面を成したトレンチ側壁およびトレンチ底面上に形成された部分の厚みbが(100)面を成したトレンチ側壁上に形成された部分の厚みaよりも厚く構成されている。このゲート酸化膜7上にはゲート電極8が形成されており、ゲート酸化膜7及びゲート電極8によってトレンチ6の内部が埋め込まれた構成となっている。なお、これらのゲート電極構造は、図1及び図2においては2つしか表わされていないが、実際には図2中Z方向に複数個形成されている。